

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
007925041

WPI Acc No: 1989-190153/198926

Active-matrix display substrate with thin-film transistors - has
removable test circuit to which signal and scanning lines are connected

NoAbstract Dwg 1/6

Patent Assignee: EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1130132	A	19890523	JP 87288651	A	19871116	198926 B

Priority Applications (No Type Date): JP 87288651 A 19871116

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1130132	A	4		

Title Terms: ACTIVE; MATRIX; DISPLAY; SUBSTRATE; THIN; FILM; TRANSISTOR;
REMOVE; TEST; CIRCUIT; SIGNAL; SCAN; LINE; CONNECT; NOABSTRACT

Derwent Class: P81; P85; U11; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

G09G-003/36; H01L-021/66; H01L-027/12

File Segment: EPI; EngPI

CONSTITUTION: The TFTs 2 and picture element electrodes 3 are disposed at the intersected points of the signal lines X(sub 1)-X(sub 3) and the scanning lines Y(sub 1)-Y(sub 3). The signal lines X(sub 1)-X(sub 3) and the scanning lines Y(sub 1)-Y(sub 3) are respectively connected to the inspection circuits 7, 8. The short circuit between the signal lines and the scanning lines, the short circuit between the adjacent lines, etc., are, therefore, detectable. Separation of the inspection circuits 7, 8 by cutting the short circuit part by laser trimming and dicing the substrate along dicing lines 6 at need is also possible at need. The short circuit and disconnection between the wirings are thereby exactly detected in a short period of time without direct probing of the signal lines X(sub 1)-X(sub 3) and the scanning lines Y(sub 1)-Y(sub 3).

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-130132

⑬ Int. Cl.

G 02 F 1/133
G 09 F 9/30
G 09 G 3/36
H 01 L 21/66
21/82
27/12

識別記号

3 2 7
3 1 0

庁内整理番号

7370-2H
7335-5C
8621-5C
S-6851-5F
7925-5F
A-7514-5F

⑭ 公開 平成1年(1989)5月23日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 アクティブマトリクス基板

⑯ 特 願 昭62-288651

⑰ 出 願 昭62(1987)11月16日

⑱ 発 明 者 松 枝 洋 二 郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

アクティブマトリクス基板

2. 特許請求の範囲

(1) 絶縁基板上に、複数の信号線、走査線、及びそれらの交点に設けられた薄膜トランジスタ(以下TFTと略記)と画素電極とを備えて成るアクティブマトリクス基板において、前記絶縁基板上にTFTによって構成される検査回路を有し、前記信号線及び走査線の全線または一部が前記検査回路に接続され、前記検査回路は切断して分離できることを特徴とする、アクティブマトリクス基板。

(2) 前記検査回路は、シフトレジスタとスイッチあるいはシフトレジスタのみで構成され、前記信号線および走査線の線間短絡や断線を検出することを特徴とする特許請求の範囲第1項記載のアクティブマトリクス基板。

(3) 前記画素電極1個に対して複数のTFTが接続され、前記TFTと前記画素電極間、前記TFTと前記信号線間、前記TFTと前記走査線間のいずれかの接続部を必要に応じて独立に切断できるように構成した事を特徴とする特許請求の範囲第2項記載のアクティブマトリクス基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はアクティブマトリクス基板の構成に関する。

(従来の技術)

従来のアクティブマトリクス基板は「日経エレクトロニクス 1984年 9月10日号 P. 211-240」に、示されるようなものであった。第2図はその代表的な構成を示す図であり、マトリクス状の信号線X₁、X₂、X₃及び走査線Y₁、Y₂、Y₃と、それらの交点に配置されるTFT12及び画素電極13とから成る。この基板状態で配線間の短絡や配線の断線を検出する

には、それぞれの 号線と走査線上に設けられた駆動用パッド14にプローブ針15を接触させる必要がある。

(発明が解決しようとする問題点)

しかし、前述の従来技術には以下に述べるような問題点がある。すなわち、高精細な画面を得るために画素数を増加させると前述のプローブ針の数が増大し、ピッチは小さくなり、一枚のプローブカードで構成するのはほとんど不可能となる。一方、高精細になれば歩留まりは低下するため、検査を欠かすことはできない。

本発明はこのような問題点を解決するものであり、その目的とするところは、多数のプローブ針を接触させずに短時間で正確に配線間の短絡や配線の断線を検出できるようなアクティブマトリクス基板を実現することにある。

(問題点を解決するための手段)

本発明のアクティブマトリクス基板は、絶縁基板上に、TFTによって構成される検査回路を有し、信号線及び走査線の全数または一部が前記検

査回路に接続され、前記検査回路は切断して分離できることを特徴とする。

(作用)

本発明の上記の構成によれば、信号線や走査線に直接プローブ針を接触させる代わりに、検査回路を用いて配線間の短絡や配線の断線を短時間で正確に検出することができる。

(実施例)

第1図は本発明の一実施例を示すアクティブマトリクス基板の平面図の例である。X₁、X₂、X₃は信号線、Y₁、Y₂、Y₃は走査線で、それらの交点にTFT2と画素電極3とが配置されている。本実施例においては信号線と走査線がそれぞれ検査回路7及び8に接続されているので、信号線と走査線間の短絡や隣接ライン間の短絡等を短時間で正確に検出できる。必要に応じて短絡部分をレーザートリミングにより切断した後、ダイシングライン6にそってダイシングして検査回路7、8を分離する。このアクティブマトリクス基板と数mmの空間を介して対向基板を向かい合

わせて固定し、その空間に液晶を封入する。そして、駆動用パッド4にドライバーICを実装するとアクティブマトリクスパネルとなる。断線や、修正によって切断された部分については、配線の終端部に、外部から信号を与えることで修正できる。

第3図は他のアクティブマトリクス基板の平面図の例である。この例では1本おきに駆動用パッド4があり、奇数列の信号線は上側、偶数列の信号線は下側のドライバーで駆動する。同様に奇数行の走査線は左側、偶数行の走査線は右側のドライバーで駆動する。2はTFT、3は画素電極、6はダイシングラインで7、8、9、10は検査回路である。この例では配線の両端に検査回路があるので、配線の断線についても検出できる。例えば信号線に関しては7と9の検査回路を、走査線に関しては8と10の検査回路を同時に動作させて断線及び隣接ライン間の短絡を検出できる。信号線と走査線間の短絡については7または9の検査回路と、8または10の検査回路の組み合わせ

で検出できる。一方、この例では検査回路に冗長性を持たせてあるため、仮にいずれかの検査回路に不良を生じてても、反対側の検査回路が正常であれば短絡に関する不良は検出できる。

第4図は、信号線と画素TFTに冗長性を持たせたアクティブマトリクス基板の平面図の例であり、不良部分を検出、修正することにより無欠陥の画面を得ることができ、キャラクタなどのデータ表示用に適している。信号線X₁とX₂、X₃とX₄、X₅とX₆、X₇とX₈、X₉とX₁₀は対になっており、各画素電極3は2つのTFT2を介して対をなす信号線に接続されている。走査線Y₁、Y₂、Y₃、Y₄はそれぞれ左右の検査回路8、10に接続され、駆動用パッド4は1本おきに配置されている。この例では奇数番目の信号線は検査回路7に、偶数番目の信号線は検査回路8に接続されているが、検査回路にも冗長性を持たせて各信号線の両端を検査回路7及び8に接続することもできる。不良部分を検出した後、走査線と短絡している信号線は、短絡部分の前後で信

号線を切断し、電極間の短絡したTFTは配線から切断する。ダイシングライン8にそって検査回路7、8、9、10を分離した後、対をなす信号線には同じ信号が与えられるようにドライバー1Cを実装する。具体的には、対をなす信号線の入出力端がドライバーを実装する際に短絡されるようにする。例えば信号線X₁とX₂はドライバーの実装される上側の駆動用パッド4で短絡され駆動されるが、ドライバーの実装されない下側の修正用パッド5も短絡しておけば、この2本の信号線の中で1ヶ所の断線があっても不良とならずにすむ。したがって前述のように短絡部の上下で信号線を切断しても不良とはならない。また、各画素のTFTのうち片方のTFTを切断しても、もう一方のTFTが正常であれば正規の信号を与えることができるため画素欠陥とならない。この例では信号線と画素TFTに冗長性を持たせたが、同様に走査線と画素TFTに冗長性を持たせることもできる。

第5図は検査回路の例であり、シフトレジスタ

21とスイッチ22によって走査 または信号線を1本ずつ選択できる。この検査回路を2つ同時に用いて、片方の入出力端子23に該当な信号を与え、もう一方の入出力端子23に検出器を接続して不良部分のアドレスを求めることができる。第6図(a)は走査線と信号線間の短絡部分を、第6図(b)は配線の断線部分を、第6図(c)は隣接ライン間の短絡部分を求める具体的な方法の例を示す図である。

(発明の効果)

以上述べたように本発明のアクティブマトリクス基板は、信号線や走査線に直接プローピングすることなく配線間の短絡や断線を短時間で正確に検出することができる。しかも検査回路は同一基板上にTFTで構成するため、工程数は増やすことなく作製することができる。また検査回路の占める面積は小さいため、チップ面積の増加も2～5%程度と少ない。一方、高精細な画面を得るためには画素数と画素密度の増大が必須だが、従来の方法では、プローブカードの値段が非常に高価

なものとなり、また緻細なピッチでプローブピンを配置するのは極めて困難であったが、本発明はこのような制約もなく簡単に高精細化が可能である。しかも、パッドにピンを接触させることがないため、実装パッドに傷がついて信頼性を低下させることもない。

このように本発明によれば、短時間で正確に不良部分を検出することができ、低コストで高精細なアクティブマトリクス基板が実現できる。

4. 図面の簡単な説明

第1図、第3図、第4図はアクティブマトリクス基板の平面図。

第2図は従来のアクティブマトリクス基板の構造と検査方法を示す図。

第5図は検査回路の構成を示す図。

第6図(a)、(b)、(c)は不良部分の検出方法を示す図。

2, 12...TFT

3, 13...画素電極

4, 14...駆動用パッド

5...修正用パッド

6...ダイシングライン

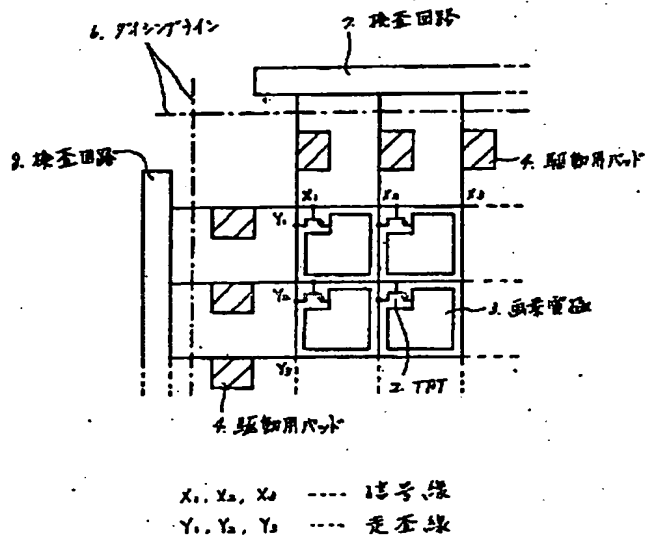
7, 8, 9, 10...検査回路

以 上

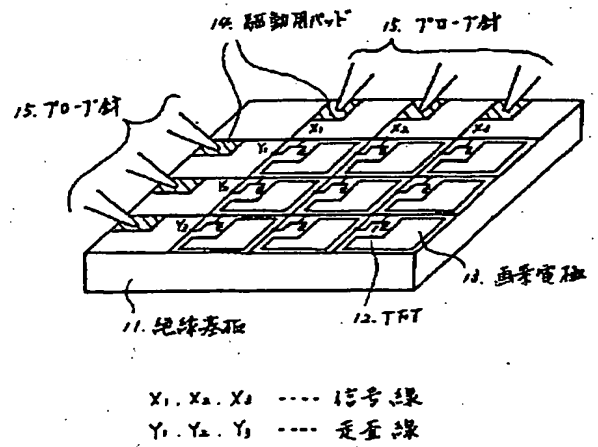
出願人 セイコーエプソン株式会社

代理人 弁理士 最 上 務 他1名

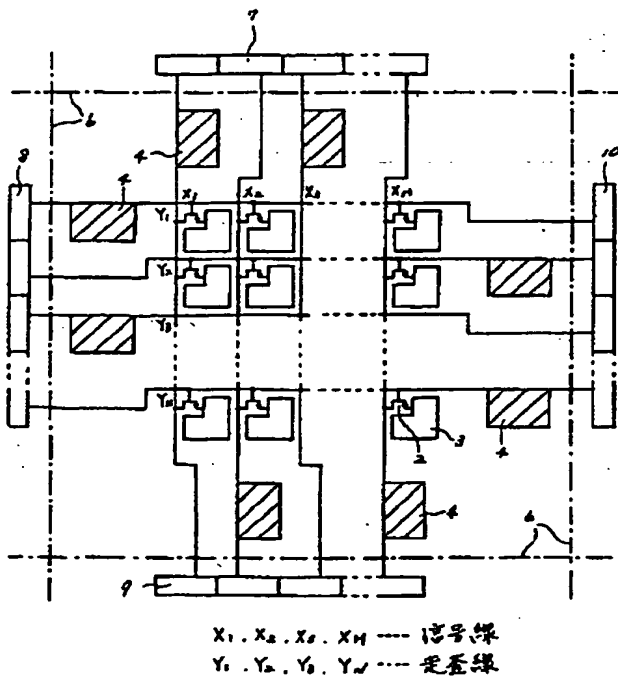




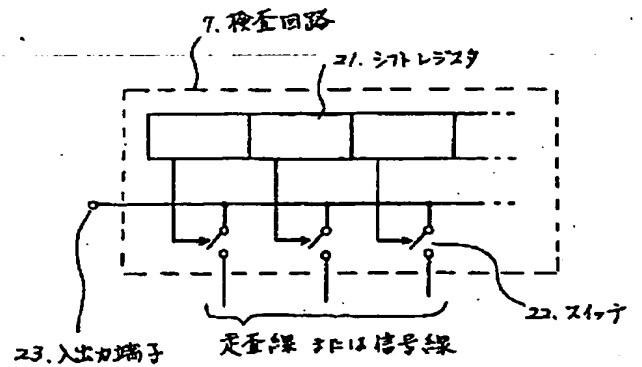
第 1 図



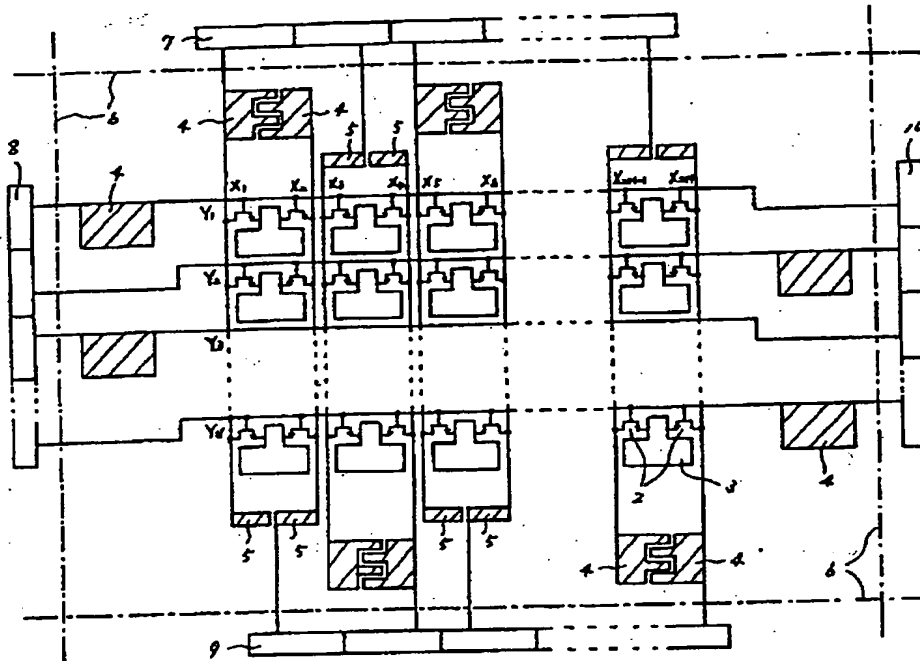
第 2 図



第 3 図

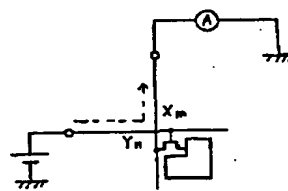


第 5 図



- 2 TFT
- 3 駆動用パッド
- 4 修正用パッド
- 5 タイミングライン
- 7-10 線路回路
- $X_1, X_2, X_3, X_4, X_5, X_6, X_{2M-1}, X_{2M}$
..... 信号線
- Y_1, Y_2, Y_3, Y_4, Y_W 走査線

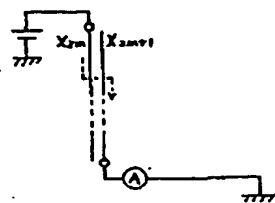
第4図



(a)



(b)



(c)

第6図